

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月17日
Date of Application:

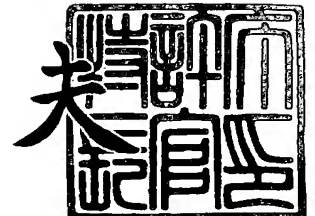
出願番号 特願2003-010044
Application Number:
[ST. 10/C]: [JP 2003-010044]

出願人 豊田合成株式会社
Applicant(s):

2003年 8月 6日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3063021

【書類名】 特許願

【整理番号】 03P00044

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/3205
H01L 21/90

【発明者】

【住所又は居所】 京都府京都市左京区一乗寺大原田町 8 リバーロード
タカノ 7 0 2 号

【氏名】 島田 雅博

【発明者】

【住所又は居所】 京都府京都市左京区北白川久保田町 4 3 パレ北白川佐
わらび 4 0 1

【氏名】 守山 実希

【発明者】

【住所又は居所】 京都府京田辺市薪長尾谷 2 2 番地の 3 2

【氏名】 村上 正紀

【発明者】

【住所又は居所】 愛知県西春日井郡春日町大字落合字長畑 1 番地 豊田合
成株式会社内

【氏名】 柴田 直樹

【特許出願人】

【識別番号】 000241463

【氏名又は名称】 豊田合成株式会社

【代表者】 松浦 剛

【電話番号】 0587-34-3305

【手数料の表示】

【予納台帳番号】 043096

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体デバイス用配線構造

【特許請求の範囲】

【請求項 1】 銅 (Cu) を主成分とする配線層と、前記配線層の結晶粒を粗大化するための結晶粒促進層を有することを特徴とする半導体デバイス用配線構造。

【請求項 2】 前記結晶粒促進層を有することにより、前記配線層の最終的に粗大化した結晶粒の平均粒径を D、電子の平均自由行程を L としたとき、L と D の間に、 $D > 10 \times L$ の関係を有することを特徴とする請求項 1 に記載の半導体デバイス用配線構造。

【請求項 3】 前記結晶粒促進層は、半導体若しくは誘電膜と前記配線層との間に形成されることを特徴とする請求項 1 または請求項 2 に記載の半導体デバイス用配線構造。

【請求項 4】 前記結晶粒促進層は、前記半導体若しくは前記誘電膜及び前記配線層と密着性が良好であり、かつ、それらと反応性の低い物質から選ばれることを特徴とする請求項 1 乃至請求項 3 に記載の半導体デバイス用配線構造。

【請求項 5】 前記結晶粒促進層は、高融点金属または高融点金属の窒化物若しくは炭化物から選ばれることを特徴とする請求項 1 乃至請求項 4 に記載の半導体デバイス用配線構造。

【請求項 6】 前記結晶粒促進層は、チタン (Ti) 若しくはタンタル (Ta) 又はそれらの窒化物若しくは炭化物から選ばれることを特徴とする請求項 1 乃至請求項 5 に記載の半導体配線構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体デバイスの配線構造に関するものであり、特に VLSI、ULSI に好適な配線の構造に関する。

【0002】

【従来の技術】

シリコン (S i) 半導体の高速化は、M o o r e の法則に従ってデバイスのサイズが縮小し、単結晶 S i 基板上に形成されるトランジスタの集積度を上げることにより実現されてきた。現在では、 $0.13\text{ }\mu\text{m}$ ルールを用いたデバイスの生産が始まっており、2005年には幅 $0.10\text{ }\mu\text{m}$ 以下という超微細配線の使用が計画されている。微細化による配線幅や配線間隔の減少は配線の電気抵抗や配線間容量を増大させるため、配線信号伝搬速度は微細化に伴い逆に低下し、この配線遅延問題は、 $0.13\text{ }\mu\text{m}$ ルール以降、急激にデバイスの動作速度に悪影響を及ぼす。今後の S i 半導体開発では、従来の微細化による高速化は困難であり、新材料への転換による高性能化が不可欠となっている。

【0003】

配線遅延を低減するには、これまで配線材に使用されてきたアルミニウム (A l) よりも抵抗率の小さな配線材料を使用すればよく、1997年に米国 I B M 社より、銅 (C u) 配線の可能性が示された。ちなみに、バルク材での A l の抵抗率は $2.7\text{ }\mu\Omega\cdot\text{cm}$ であり、C u の抵抗率は $1.7\text{ }\mu\Omega\cdot\text{cm}$ である。

【0004】

ところが、C u 配線においては、C u のエッチング生成物の蒸気圧が低く、半導体基板を高温に加熱しなければならないため、A l の場合のように半導体基板全面に A l 薄膜を成膜した後に配線領域を被覆し、残りの不要な A l をエッチングによって除去するという手法 (図 1 (a)) を用いることができず、C u 成膜前にあらかじめ半導体に配線幅の溝 (トレンチ) または孔 (ビア) を作っておき、C u 原子を埋め込む手法が採用される。余分な C u は成膜後に CMP (C h e m i c a l M e c h a n i c a l P o l i s h i n g) 法による研磨等で除去され平坦化される (図 1 (b))、この配線形成法を「ダマシン法」という。) 。更に、C u 配線では C u 原子の S i 半導体への拡散を防止する必要があり、S i 半導体と C u の間にバリア層を設ける必要がある (例えば、非特許文献 1、2 参照)。また、溝や孔を C u で完全に埋め込む必要があり、配線幅の細線化に伴い、C u 膜厚も薄膜化することになる。

【非特許文献 1】

守山実希他、「新時代を迎えたエレクトロニクス配線技術」、まてりあ、

第39巻、第11号、2000年、p. 901-908

【非特許文献2】

阿部一英他著、「Cu/Ti/TiN/Ti積層構造を有する高信頼性Cuダマシン配線」、沖電気研究開発、2000年10月、第184号、Vol. 67、No. 3、p. 65-68

【0005】

しかし、ダマシン法におけるバリヤ層形成においては、バリヤ材を溝（トレンチ）または孔（ビア）内に均一に膜形成することが難しく、しかも拡散を防止するためのバリヤとして機能させるには最も薄い部分で10nm以上の膜厚が必要となるため、結果としてバリヤ層の膜厚は厚くならざるを得ず、この厚いバリア層の存在により抵抗が上昇することとなる。また、バリア層の存在は、配線間隔の減少に関しては妨げとなることから、バリヤ層を設けることなくCu配線を形成する技術の研究開発が行われつつある。

【0006】

【発明が解決しようとする課題】

一方、配線材であるCuの抵抗率の観点からは、配線幅が0.10μmまで細線化されると、この幅は電子の平均自由行程と同程度になり、薄膜化によるCu配線材の抵抗率増加が懸念される。これは、膜厚や平均粒子径の減少に伴い、電子散乱による抵抗率増加が顕著になると考えられるからである。したがって、薄膜化されたCu配線の低抵抗化には平均粒径増大化が不可欠である。

【0007】

更に、Cu配線においては、Al配線の場合と大きく異なり、成膜後、室温で保持した場合にいくつかの結晶粒が優先的に成長し、不均一な粒径分布を示し、この不均一粒径分布による抵抗率のバラツキに伴う信頼性の低下が危惧されている。この結晶粒の成長による粗大化は、抵抗の観点から見れば低抵抗化につながるものの、ナノ・スケールCu配線の低抵抗化、高信頼化を実現するためには粒径の増大化、均一化を含めたCu配線材の微細構造を制御することが必要である。

【0008】

本発明者らは、この結晶粒の成長がS i 基板とC u 膜との界面に発生する真性歪み（基板の存在によってC u 膜に与えられるエネルギーアシスト）であることを見出し、「結晶粒の粗大化による低抵抗化」について、C u 結晶粒の成長過程をS i 基板とC u 膜との間に介在する物質を含めて鋭意研究した結果、本発明に到達した。即ち、本発明は、上記の課題を解決するためになされたものであり、その目的は、半導体デバイス用の配線構造に関するものであり、特にV L S I、U S L I に好適な配線構造に関するものである。

【0009】

【課題を解決するための手段及び作用効果】

上記の課題を解決するために、請求項1によれば、銅（C u）を主成分とする配線層と、前記配線層の結晶粒を粗大化するための結晶粒促進層を有することである。結晶粒促進層を有することにより、配線層の結晶粒を粗大化させることができ、ナノ・スケールC u 配線の低抵抗化を図ることができるからである。また、請求項2によれば、結晶粒促進層を有することにより、配線層の最終的に粗大化した結晶粒の平均粒径をD、電子の平均自由行程をLとしたとき、LとDの間に、 $D > 10 \times L$ の関係を有することである。この関係を満たすことにより、粗大化された配線層の結晶が単結晶に近づき、配線層の抵抗率をバルクの抵抗率に近づけることができるからである。更に、請求項3によれば、前記結晶粒促進層は、半導体若しくは誘電膜と、前記配線層との間に形成されることであり、請求項4によれば、結晶粒促進層は、半導体若しくは誘電膜及び配線層との密着性が良好であり、かつ、それらと反応性の低い物質から選ばれることである。低抵抗化と同時に高信頼性を達成することができるからである。結晶粒促進層の材料としては、請求項5によれば、結晶粒促進層は、高融点金属または高融点金属の窒化物若しくは炭化物から選ばれることであり、請求項6によれば、結晶粒促進層は、チタン（T i）若しくはタンタル（T a）又はそれらの窒化物若しくは炭化物から選ばれることである。これらの金属若しくはその窒化物に結晶粒粗大化に関して高い効果が得られるからである。ここで、高融点金属とは、融点が1500℃以上の金属をいい、チタン（T i）、タンタル（T a）、ジルコニウム（Z r）、ハフニウム（H f）、バナジウム（V）、タングステン（W）、ニオブ（

Nb)、モリブデン(Mo)が望ましい。特に、Ti、Taについて効果が顕著である。以上、これらを満たすことにより、室温粒成長の初期段階では、Cuの粗大粒が少なく、成長過程でCuの(111)面が優先的に成長し、室温粒成長の飽和段階での粗大粒の平均粒径が配線幅Wの7~8倍に成長しており、その平均粒径が $D > 10 \times L$ となることにより抵抗率をバルクの抵抗率近くまで低下させることができ、ナノ・スケールCu配線の低抵抗化、高信頼化を実現することができるのである。

【0010】

【発明の実施の形態】

以下、本発明を具体的な実施例に基づいて説明する。評価は、四探針法による抵抗率測定、集束イオンビーム(FIB)による表面・断面観察(SIM像)、X線回折法(XRD)による結晶構造解析により行った。半導体としてはSi基板を用い、Cu膜の結晶粒観察のためにSi基板上に Si_3N_4 を形成した。また、結晶粒促進層としてはTiNを用いた。

【0011】

Si基板をアセトン、IPAによる有機洗浄を行った後、スパッタリング装置のチャンバー内に載置した。次に、チャンバー内を 4×10^{-9} Torrの高真空に排気した後、Arを8.5 CCM、 N_2 を0.5 CCM導入し、圧力 5×10^{-3} Torrで、ターゲットをSiとして Si_3N_4 を60 nmの厚さに形成した。続いて、チャンバー内を 4×10^{-9} Torrの高真空に排気した後、Arを8.5 CCM、 N_2 を0.5 CCM導入し、圧力 5×10^{-3} Torrで、ターゲットをTiとして結晶粒促進層であるTiNを0.1 μm の厚さに形成した。再度、チャンバー内を 4×10^{-9} Torrの高真空に排気した後、Arを10.0 CCM導入し、圧力 6×10^{-3} Torrで、ターゲットをCuとして、配線層であるCuを1.0 μm の厚さに形成した。比較例として、TiNが形成されていない試料を用意した。特性評価は、室温保持及びアルゴン(Ar)雰囲気で350℃、2.5時間の熱処理後の粒成長の挙動を前述の項目について評価した。

【0012】

XRD測定結果については、スペクトルは掲載しないが、本発明、即ち、TiNの存在する場合は、比較例、即ち、TiNの存在しない場合に比較して、Cuの(111)の強度が増大し、(111)面が優先的に成長していることがわかった。

【0013】

FIBによる室温粒成長挙動の表面観察(SIM)像を図2に、断面観察像を図3に示した。なお、(a)が本発明の場合であり、(b)が比較例の場合である。この結果より、本発明の方が室温粒成長の初期段階での粗大粒が少なく、また、成長過程でそれらの結晶粒が優先的に成長しているのがわかった。また、飽和段階での粗大粒の平均粒径が比較例の7～8倍になり、電子の平均自由行程(39nm)より10倍以上大きくなっており、TiNが結晶粒促進作用を有することが確認された。さらに、飽和段階までの到達時間は、比較例に対して3分の1程度に短縮され、その結晶粒促進効果が顕著であることも確認された。

【0014】

FIBによる熱処理後の表面及び断面観察像を図4に示した。なお、図2、図3と同様に(a)が本発明の場合であり、(b)が比較例の場合である。本発明及び比較例共に熱処理による粗大粒の平均粒径に顕著な成長は見られないが、微細粒域の減少が生じ、平均粒径の増大化及び粒径の均一化が図られ、結果として、本発明において平均粒径が1.2倍程度になっているのがわかった。また、室温粒成長での平均粒径が熱処理後の粒径分布にも大きく影響していることがわかった。

【0015】

熱処理前後における抵抗率変化を図5に示した。本発明は比較例に比べ、熱処理前後で共に低い抵抗率を示した。

【0016】

上記の実施例では、半導体としてSi基板を用いたが、Si基板上にSiO₂膜が形成された場合においても同様な結果が得られた。なお、Si基板上にSi半導体層(不純物がドーピングされる場合、複数層から成る場合を含む)が形成された場合やその半導体層の上に更にSiO₂膜が形成された場合にも同様な効

果が得られることは言うまでもない。また、 $D > 10 \times L$ については、Cuの平均粒径に上限はなく、無限大になり単結晶になることが望ましい。それは、結晶粒界による電子の散乱が少なくなるためである。さらに、熱処理の温度範囲は100℃以上400℃以下が望ましい。この範囲内で本発明の顕著な効果を得ることができるからである。さらに、上記実施例では、結晶粒促進層としてのTiNを0.1 μmの厚さに形成して行ったが、結晶粒促進層は層状に一様に存在する必要はなく、1~5 nmの厚さで連結することなく、粒状或いは島状に存在していても結晶粒促進作用を有する。また、Ti、TiC及びTa、Ta₂N₃、TaCについてもTiNと同様な効果が観測された。また、誘電膜層としては、SiO₂や有機物が望ましい、この場合、有機物はポーラス状であっても良い。

【0017】

一方、Ti、Ta、Cuの金属膜形成方法としては、スパッタリング法を用いたが、蒸着法や、形成しようとする金属の融点まで瞬時に加熱する手段としてのレーザアニール法若しくはめっき法及び化学気相成長法などの他の方法を用いることができる。

【図面の簡単な説明】

【図1】

従来の配線形成法とダマシン法

【図2】

FIBによる室温粒成長挙動の比較（表面観察（SIM）像）。

【図3】

FIBによる室温粒成長挙動の比較（断面観察（SIM）像）。

【図4】


FIBによる結晶粒の熱処理後の表面及び断面観察像。

【図5】

熱処理前後の抵抗率変化。

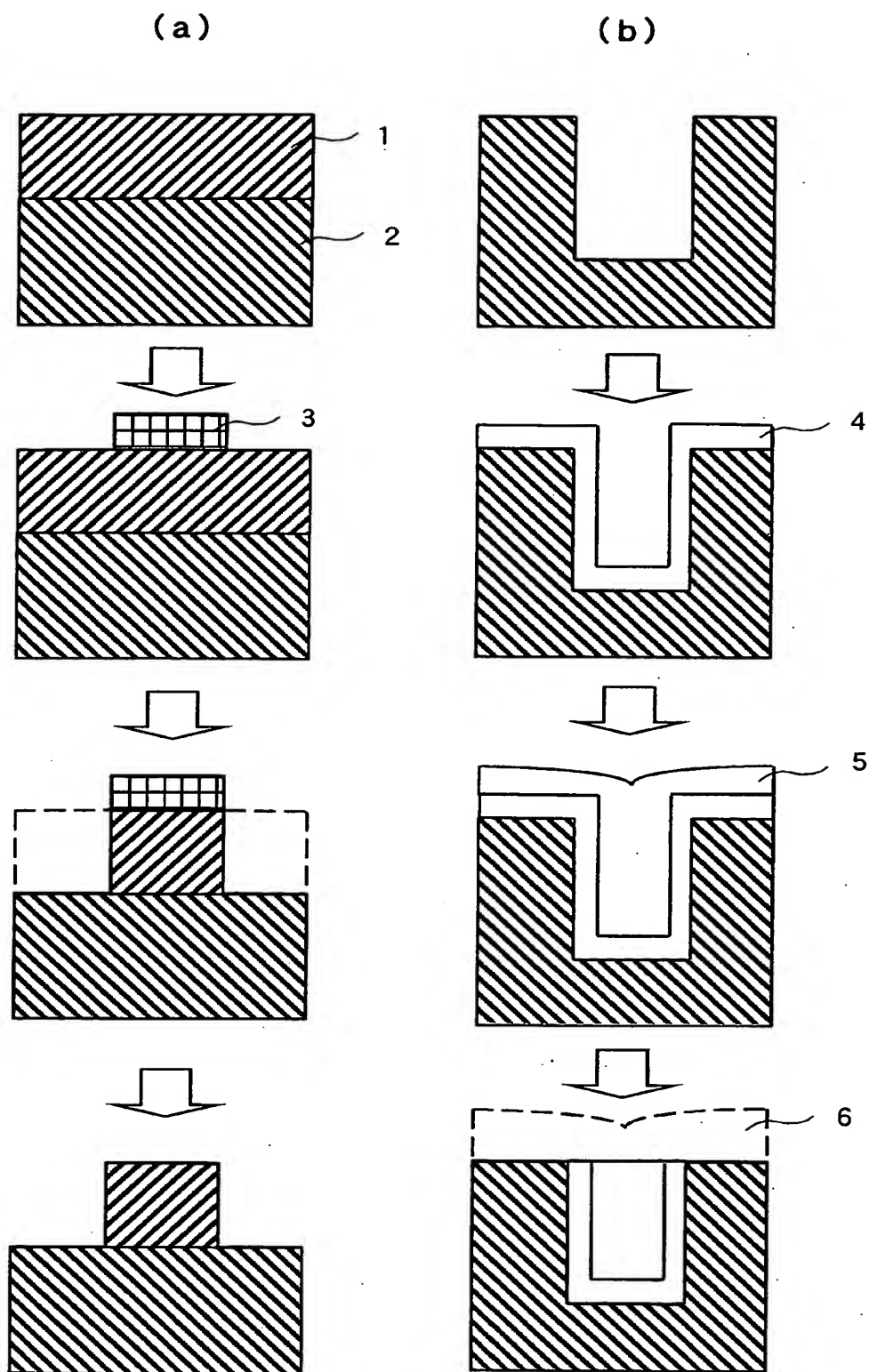
【符号の説明】

- 1 基板
- 2 Al膜

- 
- 3 レジスト
 - 4 バリヤ層
 - 5 C u 膜
 - 6 除去領域
 - 7 本発明
 - 8 比較例

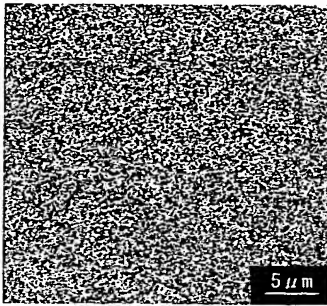
【書類名】 図面

【図 1】



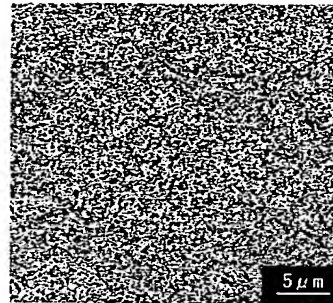
【図 2】

(a)本発明

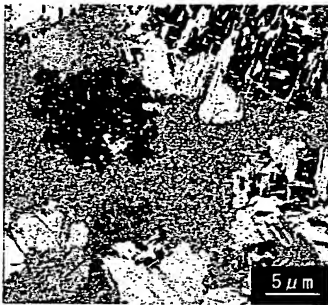


4時間後

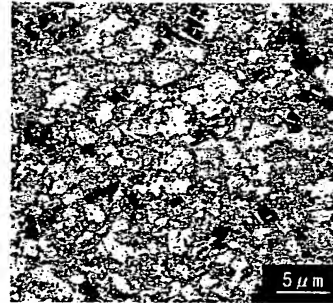
(b)比較例



3時間後



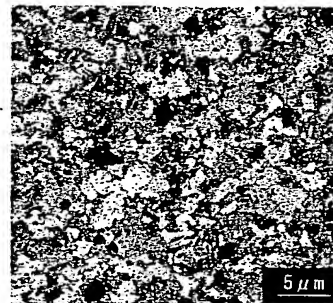
18時間後



25時間後



61時間後



173時間後

【図 3】

(a)本発明



4時間後



18時間後



61時間後

(b)比較例



3時間後



25時間後



173時間後

【図 4】

(a) 本発明

表面

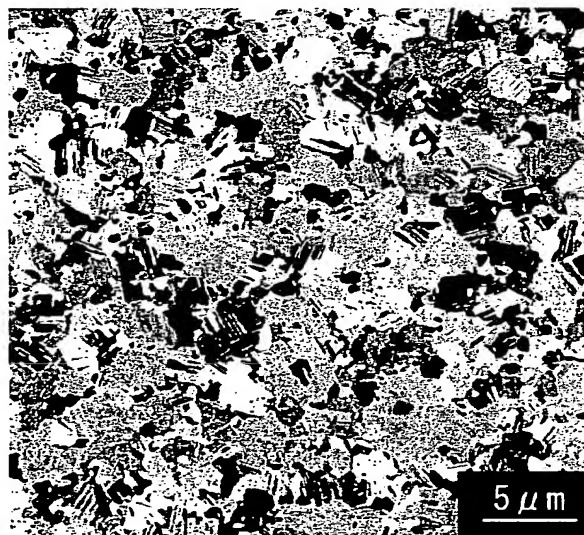


断面



(b) 比較例

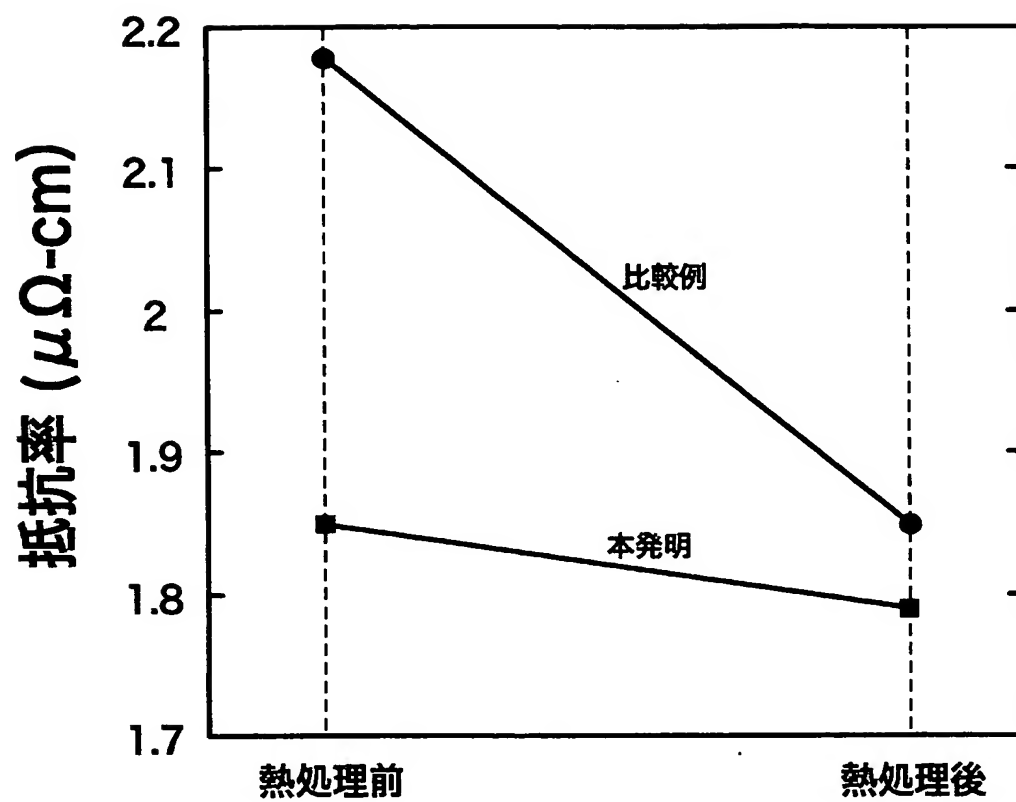
表面



断面



【図 5】



【書類名】 要約書

【要約】

【課題】 半導体デバイスの配線構造に関するものであり、特にVLSI、USLIに好適な低抵抗な配線の構造に関するものである。

【解決手段】 Si基板とCu配線層との間に結晶粒促進層としてTiNをスパッタリング法により形成した。結晶粒促進層のない比較例に対し、初期段階ではCuの粗大粒は少ないが、成長過程でそれらが(111)面で優先的、かつ、急速に成長し、粗大化した。その結果、粗大化したCuの平均粒径をD、電子の平均自由行程をLとした場合に $D > 10 \times L$ を達成し、抵抗率を大幅に低減することができた。

【選択図】 図5

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 1 0 0 4 4
受付番号	5 0 3 0 0 0 7 2 7 2 1
書類名	特許願
担当官	森吉 美智枝 7 5 7 7
作成日	平成 1 5 年 1 月 2 0 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 1 月 17 日

次頁無

特願 2 0 0 3 - 0 1 0 0 4 4

出 願 人 履 歷 情 報

識別番号

[0 0 0 2 4 1 4 6 3]

1 . 変更年月日

1 9 9 0 年 8 月 9 日

[変更理由]

新規登録

住 所

愛知県西春日井郡春日町大字落合字長畑 1 番地

氏 名

豊田合成株式会社